



УКРАЇНА

(19) UA (11) 84837 (13) C2
(51) МПК (2006)
H04N 7/18

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА ВИНАХІД

(54) ПРИСТРІЙ УСУНЕННЯ НАДМІРНОСТІ ЦИФРОВОГО ТЕЛЕВІЗІЙНОГО СИГНАЛУ

1

2

(21) 20040705717

(22) 13.07.2004

(24) 10.12.2008

(46) 10.12.2008, Бюл.№ 23, 2008 р.

(72) ЗАГАРІЙ ГЕННАДІЙ ІВАНОВИЧ, UA, ГУРЖІЙ ПAVЛО МИКОЛАЙОВИЧ, UA, КОРОЛЬОВА НАТАЛІЯ АНАТОЛІЙВНА, UA, КОЗЕЛКОВ ОЛЕГ ОЛЕКСАНДРОВИЧ, UA, ПОДОРОЖНЯК АНДРІЙ ОЛЕКСІЙОВИЧ, UA

(73) УКРАЇНСЬКА ДЕРЖАВНА АКАДЕМІЯ ЗАЛІЗНИЧНОГО ТРАНСПОРТУ, UA

(56) SU 1631752 A1, 28.02.1991

SU 1515400 A1, 15.10.1989

UA 36780 A, 16.04.2001

SU 1529471 A1, 15.12.1989

UA 29013 A, 16.10.2000

EP 0633701, 11.01.1995

EP 0534282, 31.03.1993

(57) Пристрій усунення надмірності цифрового телевізійного сигналу, що містить три регістри, перші виходи першого регістра підключені до перших входів першого блока порівняння і перших входів третього блока пам'яті, другий вихід першого регістра підключений до першого входу другого регістра, виходи другого регістра підключені до других входів першого блока порівняння, виходи третього регістра підключені до перших входів другого блока порівняння і перших входів третього буфера, два блоки пам'яті, перший вихід першого блока пам'яті підключений до першого входу третього регістра, другий вихід першого блока пам'яті підключений до першого входу другого блока пам'яті та третього входу ключового елемента, вихід другого блока пам'яті підключений до першого входу четвертого регістра, два блоки порівняння, вихід першого блока порівняння підключений до входу першого тригера, вихід другого блока порівняння підключений до першого входу другого лічильника, другого входу другого буфера та входу елемента НІ, три лічильники, вихід першого лічильника підключений до третього входу першого та другого блока порівняння, п'ятого входу третього буфера, четвертого входу другого буфера, другого входу першого тригера, першого та другого елементів І, третього входу другого лічильника, перший вихід другого лічильника підключений до першого входу елемента АБО-НІ, другий вихід другого лічильника підключений до другого входу

елемента АБО-НІ, третій вихід другого лічильника підключений до третього входу елемента АБО-НІ, четвертий вихід другого лічильника підключений до четвертого входу елемента АБО-НІ, п'ятий вихід другого лічильника підключений до п'ятого входу елемента АБО-НІ, шостий вихід другого лічильника підключений до шостого входу елемента АБО-НІ, сьомий вихід другого лічильника підключений до сьомого входу елемента АБО-НІ, восьмий вихід другого лічильника підключений до восьмого входу елемента АБО-НІ, дев'ятий вихід другого лічильника підключений до другого входу третього елемента І, десятий вихід другого лічильника підключений до дев'ятого входу елемента АБО-НІ, одинадцятий вихід другого лічильника підключений до третього входу третього елемента І, дванадцятий вихід другого лічильника підключений до десятого входу елемента АБО-НІ, тринадцятий вихід другого лічильника підключений до четвертого входу третього елемента І, чотирнадцятий вихід другого лічильника підключений до одинадцятого входу елемента АБО-НІ, п'ятнадцятий вихід другого лічильника підключений до дванадцятого входу елемента АБО-НІ, шістнадцятий вихід другого лічильника підключений до п'ятого входу третього елемента І, сімнадцятий вихід другого лічильника підключений до шостого входу третього елемента І, виходи третього лічильника підключені до других входів третього блока пам'яті і до входів блока елементів АБО, два блоки затримки, вихід першого блока затримки підключений до третього входу першого тригера, вихід другого блока затримки підключений до елемента АБО, елемент І, вихід якого підключений до другого входу третього лічильника, елемент АБО, вихід якого підключений до першого входу третього лічильника, комутатор, перший вихід якого підключений до п'ятого входу третього блока пам'яті, другий вихід якого підключений до третього входу четвертого блока пам'яті, блок елементів АБО, вихід якого підключений до третього входу третього блока пам'яті, перетворювач коду, виходом якого є вихід пристрою, який **відрізняється** тим, що додатково введені блок вибірки синхросигналів, на вхід якого надходить вхідний цифровий телевізійний сигнал, перший вихід блока вибірки синхросигналів підключений до першого входу першого блока пам'яті, другий вихід блока вибірки синхро-

(13) C2

(11) 84837

(19) UA

сигналів підключений до третіх входів першого, другого, третього та четвертого регістрів, першого та другого блоків пам'яті, першого, другого та третього буферів, перетворювача коду, першого входу ключового елемента, других входів першого та другого лічильника, елемента АБО та другого тригера, третій вихід блока вибірки синхросигналів підключений до першого входу першого буфера, ключовий елемент, вихід якого підключений до першого входу першого регістра, генератор тактових імпульсів, вихід якого підключений до других входів першого, другого, третього та четвертого регістрів, першого та другого блоків пам'яті, першого буфера, п'ятого входу перетворювача коду та першого входу першого лічильника, четвертий регістр, виходи якого підключені до других входів другого блока порівняння, два тригери, вихід першого тригера підключений до входу чекаючого мультівібратора та першого входу першого елемента І, перший вихід другого тригера підключений до четвертого входу третього буфера та першого входу другого буфера, другий вихід (інверсний) другого тригера підключений до друго-

го входу ключового елемента, першого входу комутатора та четвертого входу перетворювача коду, перший, другий та третій буфери, вихід першого буфера підключений до другого входу комутатора, вихід другого буфера підключений до другого входу четвертого блока пам'яті, виходи третього буфера підключені до перших входів четвертого блока пам'яті, чекаючий мультівібратор, вихід якого підключений до входів першого і другого блоків затримки та першого входу другого елемента І, другий та третій елементи І, вихід другого елемента І підключений до четвертого входу третього блока пам'яті, вихід третього елемента І підключений до першого входу другого тригера, елемент НІ, вихід якого підключений до другого входу третього буфера, елемент АБО-НІ, вихід якого підключений до першого входу третього елемента І, третій та четвертий блоки пам'яті, виходи третього блока пам'яті підключені до перших входів перетворювача коду, виходи четвертого блока пам'яті підключені до других входів перетворювача коду.

Запропонований винахід відноситься до галузі радіотехніки, техніки передачі і зберігання цифрового кольорового телевізійного сигналу (ЦКТС).

Відомо "Пристрій стиску цифрового кольорового телевізійного сигналу", який містить: блок дискретно-косинусного перетворювача (ДКП), блок провісника, блок оцінки руху, блок квантувача, запам'ятовуючий пристрій, блок управління коефіцієнтом стиску, блок деквантувача, блок зворотного ДКП, два суматори, блок кодування зі змінною довжиною кодового слова, мультиплексор, блок буферного запам'ятовуючого пристрою. [1].

Недоліком відомого пристрою є наявність ряду перекручень (блоковість, розмивання контурів і т.д.) при відновленні зображення.

Найближчим до запропонованого технічним рішенням, вибраним як прототип є "Пристрій стиску цифрових телевізійних сигналів кольорового зображення" [2], що містить: аналогово-цифровий перетворювач (АЦП), блок встановлення опорного рівня, три регістри, два блоки затримок, два блоки порівняння, три лічильники, елемент АБО, елемент І, комутатор, два блоки пам'яті, блок елементів АБО, формувач коду синхронізації, перетворювач коду, блок управління.

Недоліком пристрою-прототипу є постійна наявність кодів повторень у вихідному сигналі, що приводить до малого коефіцієнту стиску ЦКТС при слабкій кореляції сусідніх елементів.

У основу винаходу поставлена задача усунути надмірність у цифровому телевізійному сигналі, що дозволяє досягти високого коефіцієнта стиску кадру телевізійного сигналу без втрати якості відновленого зображення.

Поставлена задача вирішується за рахунок того, що високий коефіцієнт стиску досягається шляхом врахування кореляції сусідніх елементів в середині кадру, або кореляції між відповідними

елементами сусідніх кадрів ЦКТС, а доповнення розрядами кодів повторень елементів кадру здійснюється тільки за наявності їх повторень. При швидкості передачі 25 кадрів в секунду [5], сусідні кадри в потоці ЦКТС, як правило, відрізняються несуттєво. Це призводить до виникнення міжкадрової надмірності [4]. Пристрій усунення надмірності цифрового телевізійного сигналу дозволяє збільшити ступінь стиснення ЦКТС шляхом урахування кореляції між відповідними групами сусідніх кадрів за рахунок використання методу міжкадрового стиснення, що усуває міжкадрову надмірність. У випадку, якщо ступінь збігу між сусідніми кадрами менше 50%, то передаються опорні кадри, які стиснуті внутрішньокадровим методом, що усуває структурну надмірність зображення кадру.

Технічний результат, який може бути одержаний при здійсненні винаходу, полягає в підвищенні коефіцієнта стиску ЦКТС (коефіцієнт стиску в запропонованому пристрої знаходиться в межах від 2 до 27 разів при міжкадровому кодуванні, або від 1,1 до 110 разів при внутрішньокадровому кодуванні) без втрати якості відновленого зображення, пропорційно скорочується об'єм пам'яті необхідний для зберігання кодів ЦКТС, і відповідно, час передачі кодів ЦКТС по каналах зв'язку.

На Фіг.1 приведена структурна схема запропонованого пристрою.

На Фіг.2 приведений графік залежності коефіцієнта стиску від кількості співпадаючих груп елементів рядка ЦКТС.

На Фіг.3 приведений графік залежності коефіцієнта стиску від кількості сплі-впадань відповідних груп елементів поточного та попереднього кадрів.

Запропонований пристрій включає блок вибірки синхросигналів 1, ключовий елемент 2, генератор тактових імпульсів (ГТІ) 3, регістри 4, 5 і 10, П,

блоки пам'яті 6, 7 і 31, 32, лічильники 8, 22 і 23, блоки порівняння 9 і 15, тригери 12 і 30, блок затримки 13, 14, буфери 16, 20, 28, чекаючий мультивібратор 17, елементи І 18, 24 і 29, елемент АБО-НІ 19, комутатор 21, елемент НІ 25, елемент АБО-НІ 26, блок елементів АБО 27, перетворювач коду 33, при цьому входом пристрою є вхід блоку вибірки синхросигналів 1, вихід 1 якого з'єднаний з першим входом блоку пам'яті 6, вихід 2 блоку вибірки синхросигналів 1 з'єднаний з першим входом ключового елементу 2, третіми входами регістрів 4, 5, 10, 11, блоків пам'яті 6, 7, буферів 16, 20, 28, перетворювача коду 33, другими входами лічильника 8 та 22, елементу АБО 19, тригера 30, вихід 3 блоку вибірки синхросигналів 1 з'єднаний з першим входом буфера 16, вихід ключового елементу 2 з'єднаний з входом 1 регістра 4, вихід ГТІ 3 з'єднаний з другими входами регістрів 4, 5, 10, 11, блоків пам'яті 6, 7, буфера 16, першим входом лічильника 8, п'ятим входом перетворювача коду 33, перші виходи регістра 4 з'єднані з першими входами блока порівняння 9 і першими входами блоку пам'яті 31, другий вихід регістра 4 з'єднаний з першим входом регістра 5, виходи регістра 5 з'єднані з другими входами блока порівняння 9, перший вихід блоку пам'яті 6 з'єднаний з першим входом регістра 10, другий вихід блоку пам'яті 6 з'єднаний з першим входом блоку пам'яті 7 і третім входом ключового елементу 2, вихід блоку пам'яті 7 з'єднаний з першим входом регістра 11, вихід лічильника 8 з'єднаний з третіми входами блоків порівняння 9 і 15 та лічильника 22, другими входами тригера 12 та елементів І 18 і 24, четвертим входом буфера 20, та п'ятим входом буфера 28, вихід блоку порівняння 9 з'єднаний з першим входом тригера 12, виходи регістра 10 з'єднані з першими входами блока порівняння 15 і першими входами буфера 28, виходи регістра 11 з'єднані з другими входами схеми порівняння 15, вихід тригера 12 з'єднаний з входом чекаючого мультивібратора 17 і першим входом елементу І 18, вихід блоку затримки 13 з'єднаний з третім входом тригера 12, вихід блоку затримки 14 з'єднаний з першим входом елементу АБО 19, вихід блоку порівняння 15 з'єднаний з входом елементу НІ 25, другим входом буфера 20, та першим входом лічильника 22, вихід буфера 16 з'єднаний з другим входом комутатора 21, вихід чекаючого мультивібратора 17 з'єднаний з входами блоків затримок 13, 14 і першим входом елементу І 24, вихід елементу І 18 з'єднаний з другим входом лічильника 23, вихід елементу АБО 19 з'єднаний з першим входом лічильника 23, вихід буфера 20 з'єднаний з другим входом блоку пам'яті 32, перший вихід комутатора 21 з'єднаний з п'ятим входом блоку пам'яті 31, другим вихід комутатора 21 з'єднаний з третім входом блоку пам'яті 32, перший вихід лічильника 22 з'єднаний з першим входом елементу АБО-НІ 26, другий вихід лічильника 22 з'єднаний з другим входом елементу АБО-НІ 26, третій вихід лічильника 22 з'єднаний з третім входом елементу АБО-НІ 26, четвертий вихід лічильника 22 з'єднаний з четвертим входом елементу АБО-НІ 26, п'ятий вихід лічильника 22 з'єднаний з п'ятим входом елементу АБО-НІ 26, шостий вихід лічильника 22 з'єднаний з шостим входом елементу АБО-НІ 26, сьомий вихід лічиль-

ника 22 з'єднаний з сьомим входом елементу АБО-НІ 26, восьмий вихід лічильника 22 з'єднаний з восьмим входом елементу АБО-НІ 26, дев'ятий вихід лічильника 22 з'єднаний з другим входом елементу І 29, десятий вихід лічильника 22 з'єднаний з дев'ятим входом елементу АБО-НІ 26, одинадцятий вихід лічильника 22 з'єднаний з третім входом елементу І 29, дванадцятий вихід лічильника 22 з'єднаний з десятим входом елементу АБО-НІ 26, тринадцятий вихід лічильника 22 з'єднаний з четвертим входом елементу І 29, чотирнадцятий вихід лічильника 22 з'єднаний з одинадцятим входом елементу АБО-НІ 26, п'ятнадцятий вихід лічильника 22 з'єднаний з дванадцятим входом елементу АБО-НІ 26, шістнадцятий вихід лічильника 22 з'єднаний з п'ятим входом елементу І 29, сімнадцятий вихід лічильника 22 з'єднаний з шостим входом елементу І 29, виходи лічильника 23 з'єднані з входами блоку елементів АБО 27 і другими входами блоку пам'яті 31, вихід елементу І 24 з'єднаний з четвертим входом блоку пам'яті 31, вихід елементу НІ 25 з'єднаний з другим входом буфера 28, вихід елементу АБО-НІ 26 з'єднаний з першим входом елементу І 29, вихід блоку елементів АБО 27 з'єднаний з третім входом блоку пам'яті 31, виходи буфера 28 з'єднані з першими входами блоку пам'яті 32, вихід елементу І 29 з'єднаний з першим входом тригера 30, перший вихід тригера 30 з'єднаний з першим входом буфера 20 і четвертим входом буфера 28, другий (інверсний) вихід тригера 30 з'єднаний з другим входом ключового елементу 2, першим входом комутатора 21 і четвертим входом перетворювача коду 33, виходи блоку пам'яті 31 з'єднані з першими входами перетворювача коду 33, виходи блоку пам'яті 32 з'єднані з другими входами перетворювача коду 33, вихід перетворювача коду 33 є виходом пристрою.

У запропонованому пристрої блок вибірки синхросигналів 1 є демультимплексор [1, 3, 4], призначений для вибірки синхросигналів і кодів рядків ЦКТС, видачі кодів рядків елементів кадру ЦКТС (з виходу 1), видачі управляючого імпульсу по надходженню на вхід блоку вибірки синхросигналів 1 синхросигнала кінця кадру (СКК) (з виходу 2), а також видачі синхросигналів (з виходу 3). Ключовий елемент 2 призначений для видачі на перший вхід регістра 4, кодів рядків попереднього кадру ЦКТС, які надходять на його третій вхід, за наявності на його другому вході рівня логічної одиниці та надходженні на перший вхід управляючого імпульсу з виходу 2 блока вибірки синхросигналів 1. ГТІ 3 призначений для формування тактових імпульсів з частотою, яка дорівнює тактовій частоті формування ЦКТС. Регістр 4 призначений для запису, зберігання і видачі 32-х бітового коду ЦКТС поточної групи при внутрішньокадровому кодуванні. Регістр 5 призначений для запису, зберігання і видачі 32-х бітового коду ЦКТС попередньої групи при внутрішньокадровому кодуванні. Блок пам'яті 6 призначений для запису, зберігання і видачі кодів груп поточного кадру ЦКТС. Блок пам'яті 7 призначений для запису, зберігання і видачі кодів груп попереднього кадру ЦКТС. Лічильник 8 призначений для формування імпульсів з частотою, яка дорівнює 1/32 частоти тактових ім-

пульсів, що дозволяє синхронізувати блоки пристрою. Блок порівняння 9 призначений для порозрядного порівняння 32-х бітового коду ЦКТС поточної групи і 32-х бітового коду ЦКТС попередньої групи при внутрішньокадровому кодуванні. При збігу всіх відповідних розрядів двох груп, які поступають на входи 1 і 2 блока порівняння 9, на виході блока порівняння 9 формується сигнал логічної одиниці, інакше - логічного нуля. Регістр 10 призначений для запису, зберігання і видачі 32-х бітового коду ЦКТС груп поточного кадру при міжкадровому кодуванні. Регістр 11 призначений для запису, зберігання і видачі 32-х бітового коду ЦКТС груп попереднього кадру при міжкадровому кодуванні. Тригер 12 призначений для зберігання і видачі сигналу з виходу блока порівняння 6. Блок затримки 13 призначений для затримки сигналу на час, який дорівнює тридцяти тактовим імпульсам. Блок затримки 14 призначений для затримки імпульсу на час запису коду повторень груп з виходу лічильника 23 в блок пам'яті 31. Блок порівняння 15 призначений для порозрядного порівняння 32-х бітового коду групи поточного кадру ЦКТС і 32-х бітового коду групи попереднього кадру ЦКТС при міжкадровому кодуванні. При збігу всіх відповідних розрядів двох груп, які поступають на входи 1 і 2 блока порівняння 15, на виході блока порівняння 15 формується сигнал логічної одиниці, інакше - логічного нуля. Буфер 16 призначений для запису, зберігання і видачі синхросигналів, що поступають з виходу 3 блока вибірки синхросигналів 1. Чекаючий мультівібратор 17 призначений для формування імпульсу під час переходу його вхідного сигналу з рівня логічної одиниці в рівень логічного нуля. Елемент І 18 призначений для управління станом лічильника 23. Елемент АБО 19 призначений для установки лічильника 23 в нульовий стан. Буфер 20 призначений для запису, зберігання і видачі сигналів з виходу блока порівняння 15. Комутатор 21 призначений для комутації сигналу, що надходить на його другий вхід з першим або другим виходом. Лічильник 22 призначений для підрахунку кількості співпадань груп між попереднім та поточним кадрами ЦКТС. Лічильник 22, елемент АБО-НІ 26 та елемент І 29 разом становлять граничний пристрій призначений для підрахунку кількості співпадань груп між попереднім та поточним кадрами ЦКТС. Коли кількість співпадань груп між попереднім та поточним кадрами досягне граничного рівня (103680 повторів) коефіцієнт стиску кадру ЦКТС буде дорівнювати не менш ніж два рази, а на виході елементу І 29 встановиться рівень логічної одиниці, у іншому випадку - логічного нуля. Лічильник 23 призначений для формування 9-ти розрядного коду повторень груп при внутрішньокадровому кодуванні, причому чисельно код виражає кількість груп елементів зображення кадру ЦКТС, що послідовно повторюються. Елемент І 24 призначений для формування імпульсу запису кодів груп елементів і кодів повторень груп в блок пам'яті 31. Елемент НІ 25 призначений для інвертування сигналу, що надійшов на його вхід. Елемент АБО-НІ 26 призначений для формування на його виході сигналу логічної одиниці, коли на всіх його входах встановлений рівень логічного нуля. Блок елементів АБО 27 призначений для форму-

вання коду наявності повторень груп в блоці пам'яті 31. Буфер 28 призначений для запису, зберігання і видачі кодів груп поточного кадру ЦКТС при міжкадровому кодуванні. Елемент І 29 призначений для формування на його виході сигналу логічної одиниці, коли на всіх його входах встановлений рівень логічної одиниці. Тригер 30 призначений для видачі управляючих сигналів з першого та другого (інверсного) виходів. Блок пам'яті 31 призначений для запису і зберігання синхросигналів ЦКТС, 32-х бітових кодів груп елементів, розрядів наявності повторень груп, 9-ти розрядних кодів повторень груп елементів, розряду наявності опорного кадру, а також видачі вищезгаданих сигналів на перший вхід перетворювача коду 33. Блок пам'яті 32 призначений для запису і зберігання синхросигналів ЦКТС, 32-х бітових кодів груп елементів, розрядів наявності співпадань груп між попереднім та поточним кадрами, розряду відсутності опорного кадру, а також видачі вищезгаданих сигналів на другий вхід перетворювача коду 33. Перетворювач коду 33 призначений для формування стиснутого ЦКТС.

Запропонований пристрій функціонує таким чином. У початковому стані регістри 4, 5, 10, 11, блоки пам'яті 6 і 7 і лічильники 8, 22 і 23 обнулені, на виході тригера 12 встановлений рівень логічної одиниці, на виході тригера 30 встановлений рівень логічного нуля.

На вхід пристрою (на вхід блоку вибірки синхросигналів 1) поступає ЦКТС, який складається [5] з синхросигналу початку кадру (СПК), синхросигналу початку рядка (СПР), синхросигналу кінця рядка (СКР), синхросигналу кінця кадру (СКК) і рядків елементів зображення кадру, які складаються з 32-х бітових відліків кодів груп. Код однієї групи, в свою чергу, складається з 2-х відліків яскравості і 2-х відліків кольорорізностних сигналів. З третього виходу блоку вибірки синхросигналів 1, синхросигнали поступають на перший вхід буфера 16, де записуються за заданими адресами.

По надходженню кожного тактового імпульсу з виходу ГТІ 3, на 2-й вхід блоку пам'яті 6, коди груп поточного кадру послідовно записуються в блок пам'яті 6. Одночасно з приходом кожного тактового імпульсу з виходу ГТІ 3, на 2-й вхід регістра 10, код першої групи, що надходить з першого виходу блоку пам'яті 6 на вхід 1 регістра 10, послідовно записується в регістр 10. По заповненню 32-х розрядів, паралельний код групи з виходів регістра поступає на входи 1 блоку порівняння 15 і входи 1 буфера 28. У цей же момент з виходу лічильника 8 на дозволяючий вхід 3 блоку порівняння 15 поступає імпульс, який дозволяє операцію порівняння. Оскільки це група першого кадру (тобто на вхід 1 регістра 11 ще не поступав сигнал, та на його входах встановлений рівень логічного нуля), на виході блоку порівняння 15 буде сигнал логічного нуля, який поступає на другий вхід буфера 20, на вхід 1 лічильника 22 та елемент НІ 25. На виході елементу НІ формується рівень логічної одиниці, який поступає на вхід 2 буфера 28, дозволяючи запис паралельного коду поточної групи, що поступив на вхід 1.

З приходом наступного імпульсу з виходу лічильника 8, сигнал з виходу блоку порівняння 15

записується в елемент пам'яті буфера 20, та надходить на вхід 1 лічильника 22, збільшуючи його стан на одиницю. Оскільки даний кадр є першим, на виході блоку порівняння 15 на протязі всього кадру залишається рівень логічного нуля. Відповідно лічильник 22 залишається у початковому стані, а на виході елемента І 29 залишається рівень логічного нуля. Тригер 30 також залишається у початковому стані, тому на вхід 1 буфера 20 та вхід 4 буфера 28, з виходу 1 тригера 30, надійде сигнал логічного нуля. На інверсному виході 2 тригера 30 залишається рівень логічної одиниці. Сигнал логічної одиниці з виходу 2 тригера 30 надійде на управляючий вхід 2 ключового елемента 2, третій вхід перетворювача коду 33 і управляючий вхід 1 комутатора 20. По надходженню сигналу логічної одиниці, з виходу 2 тригера 30 на управляючий вхід 1 комутатора 21, відбувається комутація другого входу комутатора з виходом 1.

По надходженню СКК на вхід блоку вибірки синхросигналів 1 на його виході 2 формується управляючий сигнал, який встановлює у початковий стан регістри 4, 5, 10 і 11, блок пам'яті 7, буфери 20 і 28, лічильник 22, тригер 30. По надходженню управляючого сигналу на перший вхід ключового елемента 2, ключовий елемент 2 переходить у відкритий стан (ключовий елемент 2 переводиться у відкритий стан тільки при наявності сигналу логічної одиниці на другому вході). По надходженню управляючого сигналу на вхід 3 буфера 16 синхросигнали поступають на другий вхід комутатора 20, звідки через перший вихід комутатора 20 перезаписуються у блок пам'яті 31. По надходженню управляючого сигналу на вхід 3 блока пам'яті 6 з другого виходу відбувається перезапис поточного кадру в блок пам'яті 7 і запис наступного кадру в блок пам'яті 6 (тобто поточний кадр стає попереднім, а наступний поточним).

По надходженню кожного тактового імпульсу з виходу ГТІ 3, код першої групи поточного кадру, що надходить з виходу 1 блоку пам'яті 6 на вхід 1 регістра 10, послідовно записується в регістр 10. Одночасно з цим, код першої групи попереднього кадру, надходить з виходу блоку пам'яті 7 на вхід 1 регістра 11, і послідовно записується в регістр 11. По заповненню 32-х розрядів, паралельний код групи з виходів регістрів надходить на входи 1 та 2 блоку порівняння 15, а з виходів регістра 10 також на входи 1 буфера 28. У цей же момент з виходу лічильника 8 на управляючий вхід 3 блоку порівняння 15 поступає імпульс, який дозволяє операцію порівняння. У блоці порівняння 15 групи поточного і попереднього кадру порозрядно порівнюються. У разі їх збігу на виході блоку порівняння 15 встановлюється сигнал логічної одиниці (інакше - логічного нуля). Сигнал з виходу блоку порівняння 15 записується в елемент пам'яті буфера 20 (через вхід 2), та надходить на вхід елемента НІ 25, та вхід 1 лічильника 22, збільшуючи його стан на одиницю. На виході елемента НІ встановлюється рівень логічного нуля, який не дозволяє запис паралельного коду групи поточного кадру, що надійшов на вхід 1 буфера 28.

При досягненні на виходах лічильника 22 заданого порогу кількості співпадань груп між поточним та попереднім кадром, на виході 1 тригера 30

встановлюється рівень логічної одиниці, який поступає на управляючий вхід 4 буфера 28, та управляючий вхід 1 буфера 20. На інверсному виході тригера 30 встановлюється, відповідно, сигнал логічного нуля, який поступає на управляючий вхід 2 ключового елемента 2 і управляючий вхід 1 комутатора 21. По надходженню сигналу логічного нуля з виходу 2 тригера 30 на управляючий вхід 1 комутатора 21, відбувається комутація другого входу комутатора 21 з виходом 2. По надходженню сигналу логічної одиниці на вхід 4 буфера 28 відбувається перезапис паралельного коду груп у блок пам'яті 32 (через перший вхід). По надходженню сигналу логічної одиниці на вхід 1 буфера 20 відбувається перезапис розрядів наявності співпадань груп між поточним та попереднім кадром у блок пам'яті 32 (через другий вхід). Таким чином відбувається міжкадрове кодування ЦКТС, та усунення міжкадрової надмірності ЦКТС.

По надходженню кожного тактового імпульсу з виходу ГТІ 3, одночасно з надходженням кодів груп попереднього кадру з виходу 2 блоку пам'яті 6 на вхід 1 блоку пам'яті 7, код поступає також через вхід 3 ключового елемента 2 на вхід 1 регістра 4 (оскільки ключовий елемент 2 знаходиться у відкритому стані). Код першої групи послідовно записується у регістр 4. По заповненню всіх 32-х розрядів групи, паралельний код першої групи з перших виходів регістра 4 надходить на входи 1 блоку порівняння 9 і входи 1 блоку пам'яті 31. У цей же момент, з виходу лічильника 8, на управляючий вхід 3 схеми порівняння 9 поступає імпульс, який дозволяє операцію порівняння. Оскільки це перша група (на вхід 1 регістра 5 ще не надходив сигнал і на його виходах знаходиться рівень логічного нуля), то на виході блоку порівняння 9 буде рівень логічного нуля, який поступає на перший вхід тригера 12. На другий вхід тригера 12 поступає імпульс з лічильника 8, який дозволяє роботу тригера 7. Оскільки на виході тригера 12 в початковому стані встановлений рівень логічної одиниці, то з надходженням на перший вхід тригера 12 рівня логічного нуля, на виході тригера встановлюється рівень логічного нуля. По надходженню на вхід чекаючого мультівібратора 17 сигналу логічного нуля на його виході формується імпульс, який поступає на вхід блоку затримки 13 та 14 і на перший вхід елемента І 24. З виходу блоку затримки 13 імпульс поступає на управляючий вхід 3 тригера 12, встановлюючи його у початковий стан. По надходженню на вхід елемента І 24 імпульсу з виходу лічильника 8, з виходу елемента І 24 поступає управляючий сигнал на вхід 4 блока пам'яті 31. Даний сигнал дозволяє запис коду першої групи в пам'ять (оскільки код поточної групи з виходів 1 регістра 5 не співпадає з кодом попередньої групи з виходів регістра 4).

По надходженню наступного тактового імпульсу з блоку ГТІ 3 на управляючі входи 2 регістрів 4 і 5, з другого виходу регістра 4 починається запис поточної групи в послідовному вигляді в регістр 5 (через вхід 1). По заповненню 32-х розрядів регістра 5 з виходу лічильника 8 поступає дозволяючий імпульс на вхід блоку порівняння 9. У разі порозрядної рівності двох груп (сигналів з виходів 1 регістра 4 та виходів регістра 5) на виході блоку порі-

вняння 9 формується сигнал логічної одиниці, який поступає на вхід тригера 12. З надходженням тактового імпульсу з виходу лічильника 8 на виході тригера формується сигнал логічної одиниці. В цьому випадку, з виходу елементу І 18 на другий вхід лічильника 23 поступає імпульс, який збільшує стан лічильника на одиницю. Таким чином, лічильник 23 рахує кількість послідовно співпадаючих груп елементів зображення у попередньому кадрі. У випадку не збігу груп на входах 1 і 2 схеми порівняння 9, з її виходу на перший вхід тригера 12 поступає рівень логічного нуля, що, як показано вище, дозволить запис за заданими адресами коду поточної групи в блок пам'яті 31, та 9-ти розрядного коду повтору груп елементів, який формується лічильником 23. Імпульс з виходу чекаючого мультівібратора 17, через лінію затримки 14, поступає на перший вхід елементу АБО 19. На другий вхід елементу АБО 19 поступає управляючий сигнал з другого виходу блоку вибірки синхросигналів 1. З виходу елементу АБО 19 сигнал поступає на перший вхід лічильника 23, що після запису в блок пам'яті 31 коду поточної групи елементів і 9-ти розрядного коду повтору груп елементів, встановлює лічильник 23 в нульовий стан. Таким чином відбувається внутрішньокадрове кодування ЦКТС, та усунення структурної надмірності ЦКТС, у блоці пам'яті 31 відбувається запис і зберігання синхросигналів, кодів груп елементів, розрядів наявності повторів груп, кодів повторів груп і розряду наявності опорного кадру за заданими адресами, а також видача вищезгаданих сигналів на перший вхід перетворювача коду 33.

Для запису наявності коду повтору виділяється один біт. У разі повторення груп, хоча б один з виходів лічильника 23 відмінний від нуля. Тоді на виході блоку елементів АБО 27 встановлюється логічна одиниця, яка записується в розряді наявності коду повторень блоку пам'яті 31. У разі відсутності коду повторень груп на всіх виходах лічильника 23 встановиться сигнал логічного нуля, а на виході блоку елементів АБО 27 - нульовий потенціал, який запише в розряд наявності коду повторень логічний нуль.

У блоці пам'яті 32 за заданими адресами відбувається запис і зберігання синхросигналів, розряду відсутності опорного кадру, кодів груп елементів, розрядів наявності співпадань груп між попереднім та поточним кадрами, а також видача вищезгаданих сигналів на другий вхід перетворювача коду 33. У разі співпадань груп між попереднім та поточним кадрами, на другий вхід блоку пам'яті 32 надходить сигнал логічної одиниці, інакше сигнал логічного нуля.

По надходженню на вхід пристрою СКК, з виходу 2 блоку вибірки синхросигналів 1 надходить управляючий сигнал на вхід 3 перетворювача коду 33. Залежно від сигналу, який прийшов з виходу 2 тригера 30 на четвертий вхід перетворювача коду 33, відбувається зчитування інформації (для формування стислого ЦКТС) з виходів блоку пам'яті 31 (якщо надійшов сигнал логічної одиниці) або з виходів блоку пам'яті 32 (якщо надійшов сигнал логічного нуля), та починається цикл кодування наступного кадру.

Перетворювач коду 33 після закінчення кадру формує вихідний сигнал, що являє собою наступну послідовність: СПК, розряд наявності опорного кадру (РНОК), якщо РНОК являє собою логічну одиницю, тоді після нього слідує СПР; 32-х розрядний код групи; розряд наявності коду повтору груп (РНКП). Якщо РНКП є логічною одиницею, тоді після нього йде 9-ти розрядний код повтору. У випадку якщо РНКП являє собою логічний нуль - в ЦКТС формується 32-х розрядний код наступної групи. І так далі. Завершує рядок - СКС за яким формується синхросигнал початку наступного рядка (СПР). І так далі. По закінченню кадру формується СКК. Таким чином даний кадр буде опорним, та буде закодований внутрішньокадровим методом (у випадку якщо у рядку збігаються дві або більше груп, що йдуть підряд, замість 32-х розрядів кожної групи передається 32-х розрядний код співпадаючої групи та 9-ти розрядний код повтору), завдяки цьому вихідний кадр буде значно менший за обсягом, ніж вхідний.

У випадку якщо РНОК являє собою логічний нуль, то після нього йде синхросигнал початку рядка, розряд наявності співпадання групи між попереднім та поточним кадрами (РНСГ), якщо РНСГ є логічною одиницею, тоді за ним слідує 32-х розрядний код наступної групи поточного кадру. У випадку якщо РНСГ є логічним нулем - в ЦКТС формується 32-х розрядний код поточної групи поточного кадру. І так далі. Завершує рядок синхросигнал кінця рядка, за яким формується синхросигнал початку наступного рядка. І так далі. По закінченню кадру формується синхросигнал кінця кадру. Таким чином даний кадр не буде опорним, та буде закодований міжкадровим методом (замість 32-х розрядного коду групи передається лише розряд наявності співпадання групи між попереднім та поточним кадрами), тому вихідний кадр матиме менше розрядів ніж вхідний.

З описаного вище випливає, що перший кадр, який надійшов на вхід пристрою, буде стиснуто внутрішньокадровим методом. Наступні кадри, в залежності від кількості збігів кодів груп з попереднім кадром, будуть стиснуті внутрішньокадровим або міжкадровим методом (якщо між кадрами збігається не більш ніж 50% груп - застосовується внутрішньокадровий метод стиску, в протилежному випадку - міжкадровий метод).

Позитивний ефект, який досягається при здійсненні винаходу полягає в тому, що без втрати якості відновленого зображення збільшується коефіцієнт стиску ЦКТС (максимальний коефіцієнт стиску в запропонованому пристрої міжкадровим методом - до 27 разів, та внутрішньокадровим методом - до 110 разів), відповідно скорочується обсяг пам'яті необхідний для зберігання кодів ЦКТС і час передачі їх по каналах зв'язку.

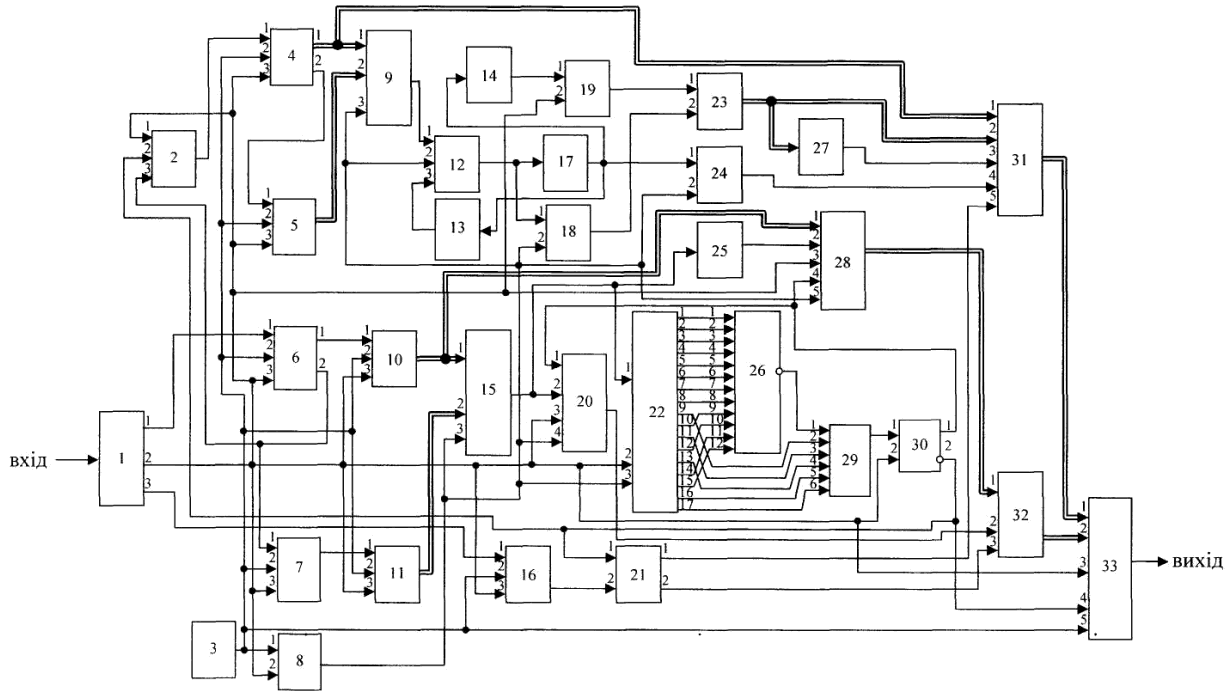
Джерела інформації

1. Смирнов А.В. Основы цифрового телевидения. - М.: Горячая линия - Телеком, 2121. - 223с.
2. А.с. №1530471 СССР МКИ Н04N7/18, 7/12. Устройство для сжатия цифровых телевизионных сигналов цветного изображения / А.В. Королев, Н.Ф. Сидоренко, Б.В. Остроумов и др.; 15.12.1989. БИ №46.

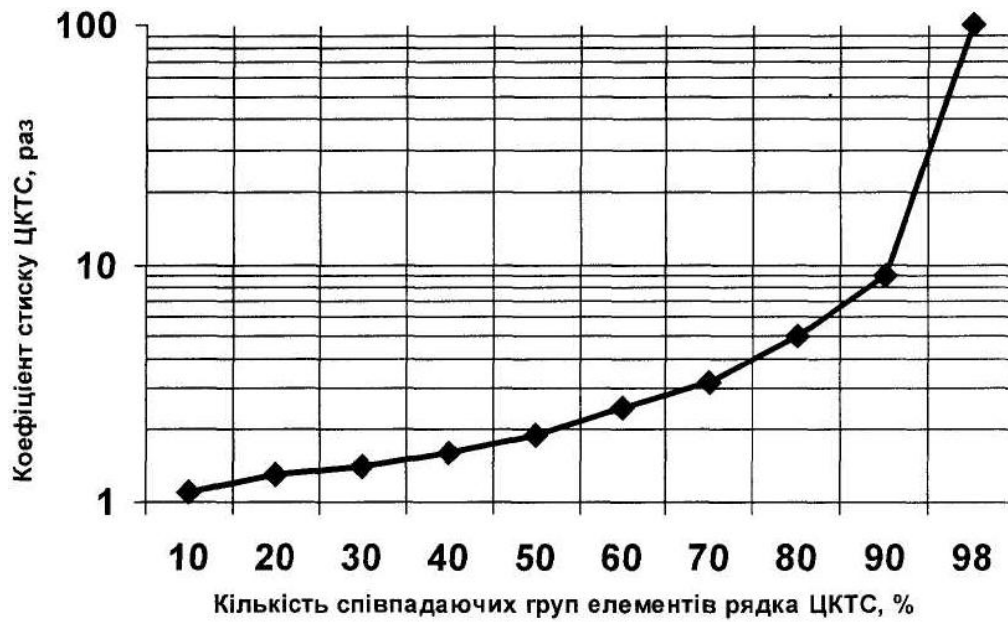
3. Богданович М.И. и др. Цифровые интегральные микросхемы. Справочник. - Минск: Беларусь, 1991. - 492с.

4. Брайс Р. Руководство по цифровому телевидению. - М.: ДМК Пресс, 2122. - 298с.

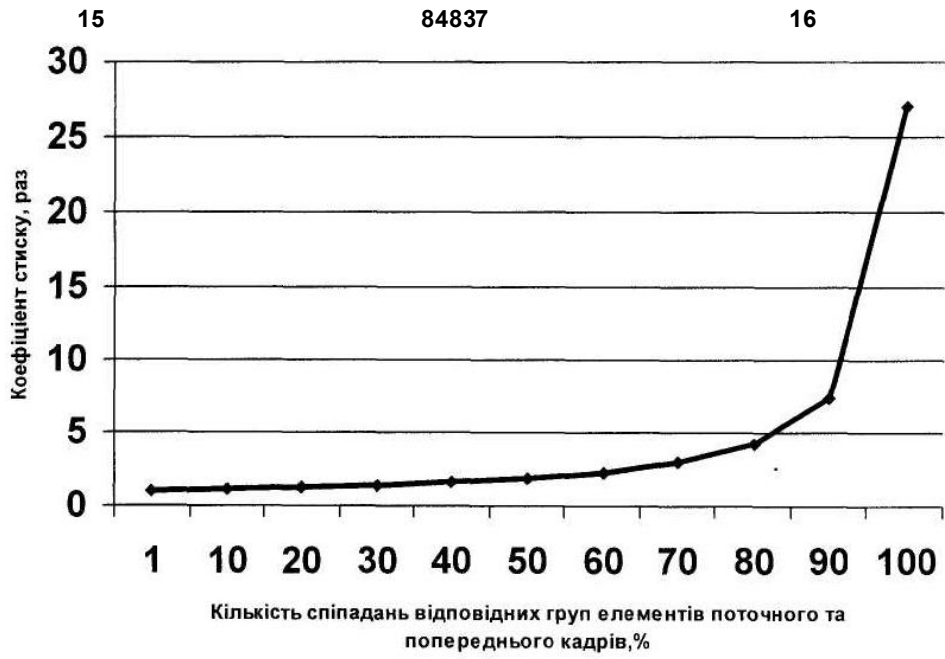
5. Recommendation ITU - BT.601 - 4. Encoding parameters of digital television for studios, 1994.



Фиг.1



Фиг. 2



Фіг. 3